

УДК 621.396.96  
DOI <https://doi.org/10.32782/2663-5941/2024.1.1/03>

**Бойко Ю.М.**

Хмельницький національний університет

**Пятін І.С.**

Хмельницький політехнічний фаховий коледж Національного університету «Львівська політехніка»

## ВИЗНАЧЕННЯ ПРОДУКТИВНОСТІ LDPC КОДІВ ЗАСОБАМИ HDL В СИСТЕМАХ ЗВ'ЯЗКУ ТЕХНОЛОГІЇ WI-FI 6

*Розгортання бездротових мереж з підтримкою Wi-Fi основна тенденція сьогодення та майбутнього. Основні вимоги до таких мереж пов'язані з підвищенням показників надійності, енергоефективності та підвищення швидкості інформаційних потоків. Стаття зосереджена на дослідженні оцінювання можливостей стандарту Wi-Fi 6 (IEEE 802.11ax). В цьому стандарті використовують нові методи формування сигнально-кодівих конструкцій (СКК) та коди з низькою щільністю перевірок на парність – Low-density parity-check code (LDPC), що дозволяє підвищити швидкість і завадостійкість передавання інформації. Актуальність роботи полягає у дослідженні кодів LDPC і їх реалізації на мові опису апаратури – Hardware description language (HDL). LDPC є кодами прямої корекції помилок передачі інформації, що близькі до теоретичної межі. Робота присвячена дослідженню залежностей коефіцієнту бітових помилок від відношення сигнал-шум для системи зв'язку з цифровою квадратурною модуляцією і кодуванням LDPC, побудові декодера LDPC за алгоритмом нормалізованої мінімальної суми (НМС) на HDL. Розглянута модель приймача цифрової системи зв'язку з кодами LDPC і Simulink-модель дослідження ефективності обробки сигналів у процесорах основної смуги частот передавача і приймача. Коди LDPC є популярними, оскільки мають дуже хорошу продуктивність і допускають нескладні апаратні реалізації. Розглянуті принципи їх кодування і декодування. Алгоритм нормалізованої мінімальної суми полягає в тому, щоб спочатку оновлювати вузли даних, потім перевіряти вузли на кожній ітерації і в кінці приймати “жорсткі” рішення декодування, які описують найбільш ймовірні кодові слова. Операція отримання мінімуму для кожного перевірконого вузла зводиться до обчислення значень першого мінімуму та другого мінімуму. В апаратній реалізації два мінімальні значення розраховуються з використанням дерева двох мінімальних компараторів. На вході декодера формуються значення логарифмічного відношення правдоподібності (ЛВП) Log-likelihood ratio (LLR), які отримані на виході демодулятора символів квадратурної амплітудної модуляції (КАМ); формуються управляючі сигнали, що визначають початок і кінець фрейму, а також логічний сигнал, що підтверджує вірність введених даних; формуються вектори індексу довжини блоку та індексу кодової швидкості.*

**Ключові слова:** коди LDPC, мова опису апаратури HDL, модуляція, Wi-Fi, кодування.

**Постановка проблеми.** Сучасний розвиток мобільних технологій вимагає використання завадостійких кодів, які дозволяють максимально знизити енергетичні витрати при передачі інформації із заданою ймовірністю помилок. Енергетичний вигреш кодування (ЕВК) показує, наскільки може бути знижена енергія, необхідна для передачі одного біта даних при використанні завадостійких кодів в порівнянні з передачею не кодованого потоку даних [1]. Коди низької щільності перевірок на парність (LDPC) є класом кодів прямої корекції помилок передачі, близької до теоретичної межі. Цей код може передавати повідомлення на частотах, схильних до сильного фонового шуму або шуму і який спотворює дані. Його використання істотно знижує ймовірність втрати інфор-

мації, що передається. Результатом застосування таких кодів є покращення швидкості передачі.

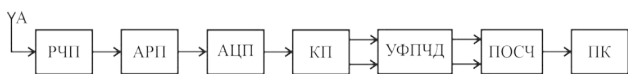
Враховуючи високу обчислювальну потужність, доступну сьогодні, коди LDPC були прийняті в багатьох сучасних стандартах зв'язку: IEEE 802.11, DVB-S2, кодування даних користувача в мобільному широкосмуговому зв'язку 5G [2].

Конструкція декодера LDPC залежить від пропускної спроможності обробки, затримки обробки, вимог до апаратних ресурсів, можливості виправлення помилок, енергоефективності обробки, ефективності використання смуги пропускання та гнучкості. Ці характеристики залежить від низки системних параметрів: архітектури, типу використаного коду LDPC, алгоритму і кількості ітерацій декодування.

Використання пристроїв з підтримкою Wi-Fi збільшується з кожним роком. Споживачам потрібно більшої швидкості, більшої надійності та більшої енергоефективності. Стандарт 802.11ac, або Wi-Fi п'ятого покоління надає кращий рівень зв'язку. Стандарт 802.11ac забезпечує гігабітну пропускну спроможність і працює в діапазоні 5 ГГц. Він використовує нові методи: формування сигнально-кодової конструкції (СКК) на боці передавача та використання кодів LDPC у приймачі.

Аналіз актуальних робіт [3–6] в предметній області статті вказує на відсутність досліджень завадостійкості кодів LDPC різної кодової швидкості, а також СКК з різною швидкістю передавання інформації. Таким чином, запропонована робота присвячена дослідженню залежностей коефіцієнту бітових помилок (BER) від відношення сигнал-шум для системи зв'язку з цифровою квадратурною модуляцією і кодуванням LDPC, а також побудові декодера LDPC за алгоритмом нормалізованої мінімальної суми (НМС) засобами HDL.

**Аналіз останніх досліджень і публікацій.** Розглянемо модель приймача цифрової системи зв'язку с кодами LDPC на основі концепції програмно-конфігурованого радіо SDR (Software-defined radio) [7], що приведена на рис. 1.



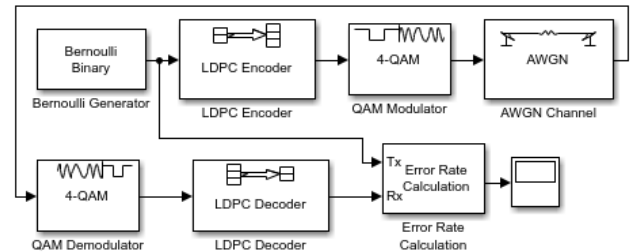
**Рис. 1. SDR архітектура приймача:** РЧП – радіочастотний приймач; АРП – автоматичне регулювання підсилення; АЦП – аналого-цифровий перетворювач; КП – квадратурний перетворювач; УФПЧД – узгоджений фільтр з пониженням частоти дискретизації; ПОСЧ – процесор основної смуги частот; ПК – персональний комп'ютер

Радіочастотні сигнали перетворюються зі зниженням частоти в сигнали основної смуги частот в радіочастотному приймачі (РЧП). РЧП – це приймач прямого перетворення [1] з низьким коефіцієнтом шуму, містить малошумний підсилювач.

Блок автоматичного регулювання підсилення (АРП) [1] призначений для регулювання рівня сигналу, що приймається, і підтримки роботи приймача в межах нормального робочого діапазону з метою подолання потенційного завмирання сигналу і різкого збільшення потужності сигналів. Алгоритм АРП підвищує підсилення, якщо сигнал має слабку амплітуду, тоді як підсилення послаблюється, щоб уникнути обмеження сигналу і нелінійного погіршення, якщо сигнал має велику амплітуду. За допомогою алгоритму АРП середня пікова амплітуда динамічно регулюється до стабільного значення, необхідного для наступних модулів.

Процесор основної смуги частот складається з блоків «м'якої» демодуляції КАМ та декодування LDPC які реалізовані за допомогою інструментарію мови HDL.

Simulink-модель дослідження ефективності обробки сигналів у процесорах основної смуги частот передавача і приймача приведена на рис. 2.



**Рис. 2. Simulink модель дослідження ефективності обробки сигналів у процесорах основної смуги частот передавача і приймача:** Bernoulli Binary Generator – блок який генерує випадкові двійкові числа за допомогою розподілу Бернуллі; LDPC Encoder – кодер LDPC; 4-QAM modulator – КАМ-4 модулятор; AWGN – канал зв'язку з адитивним білим Гаусівським шумом (АГБШ); 4-QAM Demodulator – КАМ-4 демодулятор; LDPC Decoder – декодер LDPC; Error Rate Calculation – підсистема Simulink для обчислення BER

Двійковий код LDPC представляє собою лінійний блоковий код, який визначається розрідженою  $M \times N$  матрицею  $H$  перевірки на парність, де  $M$  представляє кількість перевірок на парність, а  $N$  представляє кількість бітів у кодовому блоці. Його можна представити дводольним графом Таннера [2, 8] з  $M$  контрольними вузлами і  $N$  змінними вузлами. Ребра з'єднують контрольний вузол  $m$  зі змінним вузлом  $n$  тоді, коли  $H(m, n) \neq 0$ . Кількість одиниць у рядку називається вагою рядка, а кількість одиниць у стовпці – вагою стовпця. Код LDPC називається регулярним, якщо вага рядків та стовпців не змінюються вздовж структури матриці.

Структуровані коди LDPC є найпопулярнішими, оскільки мають дуже хорошу продуктивність і допускають нескладні апаратні реалізації. Ці коди генеруються шляхом розбиття матриці  $H$  на  $M_b \times N_b$  квадратних підматриць розміром  $z \times z$  з врахуванням того, що  $M = M_b \cdot z$  і  $N = N_b \cdot z$ .

Позначимо множину (сусідніх) бітів які приймають участь у перевірці стану  $m$ , через  $N_m = \{n : H(m, n) = 1\}$ ; а множину (сусідніх) перевірок у бітах  $n$  – через  $M_n = \{m : H(m, n) = 1\}$ . Нехай  $N_{m \setminus n}$  позначає множину  $N_m$  з виключеним бітом  $n$  і  $M_{n \setminus m}$  множину  $M_n$  з виключеною перевіркою парності  $m$ . Припустимо, що кодове слово  $w = (w_1, w_2, \dots, w_N)$  передається каналом АГБШ

з нульовим середнім значенням та дисперсією  $\sigma^2$  та використанням квадратурної фазової модуляції (ФМ-4). Нехай  $r = (r_1, r_2, \dots, r_N)$  буде відповідною прийнятою кодовою послідовністю.

На рис. 3 наведений приклад матриці  $H$  перевірки на парність і відповідний граф Таннера. Рядки матриці представлені квадратами і називаються контрольними вузлами, стовпці матриці представлені кружками і називаються вузлами даних, а одиниці представлені ребрами у графі на рис. 3 б.

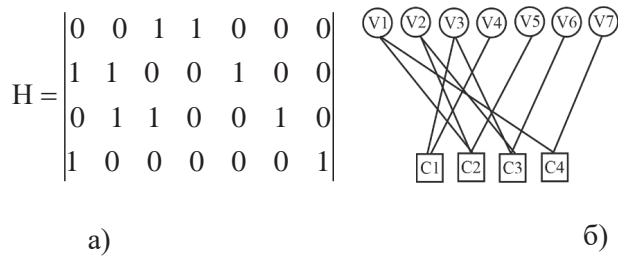


Рис. 3. Приклад матриці перевірки на парність (а) та відповідний граф Таннера (б)

Операція кодування полягає спочатку у знаходженні генераторної матриці  $G$  такої, що  $G \cdot H^T = 0$ . Перевірочна матриця має пройти попередню обробку перед операцією кодування. Мета цієї попередньої обробки полягає в тому, щоб представити цю матрицю у нижчій псевдо-трикутній формі, як показано на рис. 4. Така реалізація виконується перестановкою рядків або стовпців матриці. Ця матриця складається з 6 розріджених підматриць, позначених А, В, С, D, Е, та нижньої трикутної підматриці Т. О – це нульова матриця. Розмір підматриці Т дорівнює  $(m - g) \times (m - g)$ , причому  $g$  має мати якнайменше значення. Після завершення попередньої обробки  $H$  відбувається кодування у відповідності з рівнянням:

$$G \cdot H^T = 0^T, \quad (1)$$

Кодове слово  $C$  визначається з інформації  $u$ , що передається, наступним чином:

$$C = u \cdot G, \quad (2)$$

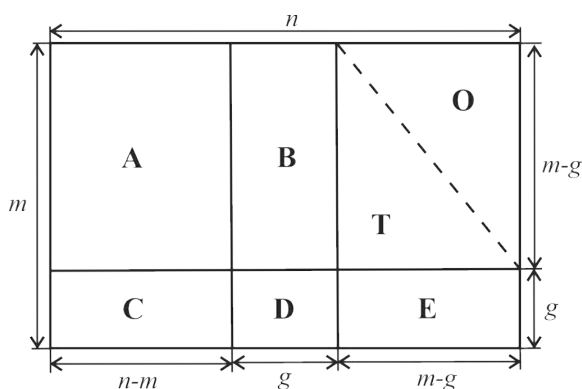


Рис. 4. Матриця перевірки парності, подана у нижній псевдотрикутній формі

Декодування кодів LDPC виконується за допомогою ітеративного алгоритму поширення довіри (Belief Propagation Algorithm – BPA) [9]. У роботі проведено дослідження алгоритму НМС, який адаптований до апаратної реалізації. Алгоритм полягає в тому, щоб спочатку оновлювати вузли даних, потім перевіряти вузли на кожній ітерації і в кінці приймати «жорстке» рішення декодування яке є найбільш ймовірним кодовим словом [10].

Таким чином, проведений аналіз літературних джерел окреслив проблему яку потрібно вирішити, а саме провести процес конструювання декодера LDPC-коду який забезпечує задовільну обчислювальну складність, мінімальну затримку при його реалізації апаратними засобами для забезпечення високої пропускної спроможності бездротових мереж з підтримкою Wi-Fi.

**Формулювання цілей статті.** У статті буде приведена оцінка реалізацій та порівняння продуктивності LDPC-кодів засобами HDL в стандартах Wi-Fi. Це буде досягнуто методом математичного моделювання інформаційно-статистичних характеристик каналу з LDPC-кодуванням для різних конфігурацій коду. Для перевірки правильності прийнятих рішень буде наведено порівняльну характеристику переваг і недоліків алгоритмів декодування LDPC-кодів. Буде досліджено завадостійкість каналів з LDPC-кодами за умов зміни швидкості кодування, структури коду та форми СКК у бездротових мережах з підтримкою Wi-Fi.

**Виклад основного матеріалу.** Для того, щоб вважати процедуру декодування успішною, на всіх перевірочних вузлах мають встановитись нульові значення (рис. 3, б). Алгоритм НМС є ітеративним двоступінним алгоритмом передачі повідомлень: на  $i$ -й ітерації спочатку обчислюються повідомлення від змінного до перевірочного вузла, які представляють оцінку апостеріорного ЛВП, і відправляються відповідному сусіду перевірочного вузла. По-друге, повідомлення від перевірочного до змінного вузла обчислюються та надсилаються назад сусіднім змінним вузлам. Алгоритм НМС виконується під час  $i, \dots, I_{\max}$  ітерацій в такий спосіб:

Ініціалізація:  $\mu_{m,n}^{(i=0)} = 0, \forall m \in \{1, \dots, M\}, \forall n \in N_m$ :

Крок 1 (оновлення вузла змінних): для  $n \in \{1, \dots, N\}$  і  $m \in M_n$

$$\lambda_{n,m}^{(i)} = I_n + \sum_{m' \in M_{n,m}} \mu_{m',n}^{(i-1)}$$

Крок 2 (оновлення вузла перевірки): для  $m \in \{1, \dots, M\}$  і  $n \in N_m$

$$\mu_{m,n}^{(i)} = \Gamma_{m,n}^{(i)} \cdot \min_{n' \in N_{m,n}} \left( |\lambda_{n',m}^{(i)}| \right)$$

$$\Gamma_{m,n}^{(i)} = \prod_{n' \in N_{m,n}} \text{sign} \left( |\lambda_{n',m}^{(i)}| \right)$$

Прийняття «жорсткого» рішення. В цьому випадку ітераційний процес зупиняється, коли досягається максимальне число ітерацій  $I_{\max}$ , чи коли всі перевірки на парність задовольняються за допомогою «жорстких» рішень, розрахованих наступним чином:

$$\lambda_n = I_n + \sum_{m \in M_n} \mu_{m,n}^{(i)}, z_n = \begin{cases} 1, & \lambda_n > 0 \\ 0, & \text{інакше} \end{cases}$$

На практиці операція отримання мінімуму для кожного перевірного вузла  $m$  зводиться до обчислення значень першого мінімуму та другого мінімуму, та вибору відповідного для кожного виходу  $n$ . В апаратній реалізації два мінімальні значення для  $k$  входів розраховуються з використанням дерева двох мінімальних компараторів [11], апаратна складність яких реалізується з  $2 \cdot k - 3$  додавань/віднімань та  $3 \cdot k - 4$  мультиплексорів.

В апаратній реалізації основною операцією оновлення перевіричних вузлів є знаходження мінімального та другого мінімального абсолютного значення. Ефективний спосіб знайти ці два значення – реалізувати трирівневе дерево компараторів, як показано на рис. 5. Є сім однакових блоків і кожен із них використовується для знаходження першого мінімального та другого мінімального значень із чотирьох вхідних даних. Коли мінімум та другий мінімум знайдені, відбувається множення на масштабний коефіцієнт 0,75. На рис. 6 приведена схема алгоритму НМС.

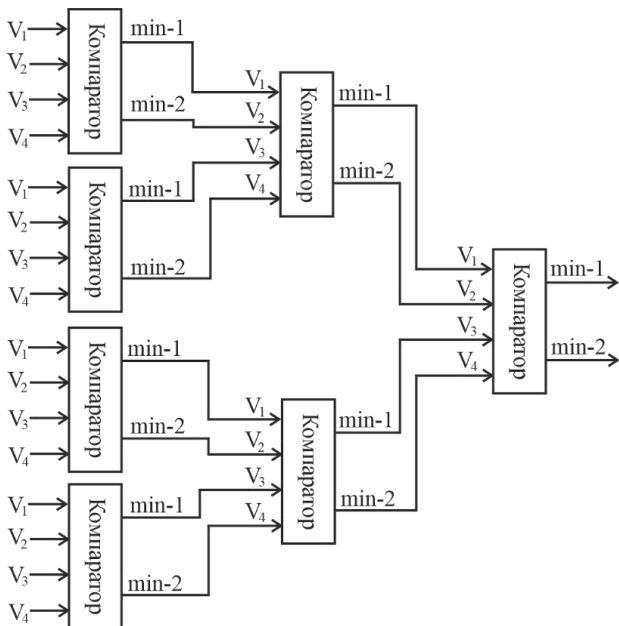


Рис. 5. Трирівневе дерево компараторів для знаходження першого і другого мінімумів

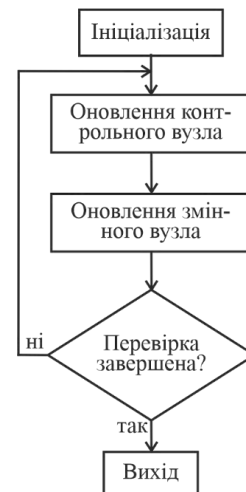


Рис. 6. Схема алгоритму нормалізованої мінімальної суми

Схеми, що використовуються для оновлення вузлів змінних та вузлів перевірки показано на рис. 7 та рис. 8 відповідно.

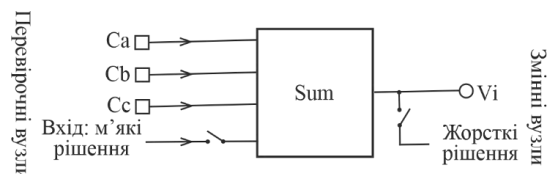


Рис. 7. Схема оновлення змінних вузлів

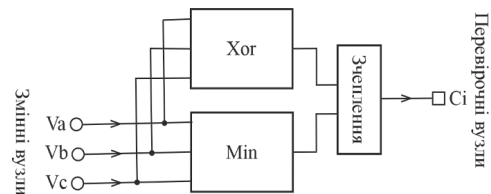


Рис. 8. Схема оновлення перевіричних вузлів

Simulink модель HDL-реалізації LDPC декодера представлена на рис. 9. Для роботи декодера на базі програмованої логічної інтегральної матриці FPGA (Field-Programmable Gate Array) відбувається перетворення вхідних фреймів на вибірки.

На вході (сигнал dataIn) діють значення ЛВП, які отримані на виході демодулятора символів КАМ; формуються управляючі сигнали, що вказують початок і кінець фрейму (сигнали startIn, endIn), а також логічний сигнал, що підтверджує вірність введених даних (сигнал validIn). Для змінних blockLenIdx та codeRateIdx формуються вектори індексу довжини блоку та індексу кодової швидкості.

Для врахування затримки блоку декодера LDPC для зазначеної довжини блоку, швидкості коду та кількості ітерацій використовується змінна decFrameGap. Вихідний сигнал nextFrame



використовується для визначення готовності блоку до початку обробки наступного фрейму. Затримка блоку дорівнює  $r \cdot (t + 9m) + d$ , де  $r$  – кількість ітерацій,  $t$  – подвоєна загальна кількість елементів у матриці контролю парності, відмінних від 1,  $m$  – кількість рядків у матриці перевірки на парність, а  $d$  – конвеєрні затримки. Величина конвеєрних затримок  $d$  дорівнює 35 тактів. Якщо кількість ітерацій дорівнює 8, то затримка блоку становить 1518 тактів.

Представимо результати експериментальних досліджень завадостійкості LDPC-декодера із врахуванням запропонованих схемотехнічних рішень.

Проведемо дослідження залежності коефіцієнту бітових помилок від відношення сигнал-шум для системи зв'язку з кодуванням LDPC і різною кодовою швидкістю (рис. 10–11).

З отриманих залежностей (рис. 10) можна зробити висновок, що при збільшенні швидкості коду зменшується завадостійкість системи зв'язку. При збільшенні кодової швидкості з 1/2 до 5/6 необхідно підвищувати відношення сигнал-шум на 4 дБ. З отриманих залежностей (рис. 11) можна зробити висновок, що використання багатопозиційної модуляції потребує підвищення відношення сигнал-шум: від 1 (ФМ-2) до 2 (ФМ-4) біт на символ модуляції – на 3 дБ; від 2 (ФМ-4) до 4 (16КАМ) біт на символ модуляції – на 5 дБ. І подальше збільшення позиційності модуляції до 6, 8 і 10 біт на символ – поступове підвищення відношення сигнал-шум на 5 дБ на кожні 2 біта на символ.

Стандарт Wi-Fi 6 використовує множинний доступ з ортогональним частотним поділом каналів (OFDM) [12, 13], тривалість символу 12,8 мкс, інтервал між піднесучими складає 78,125 кГц.

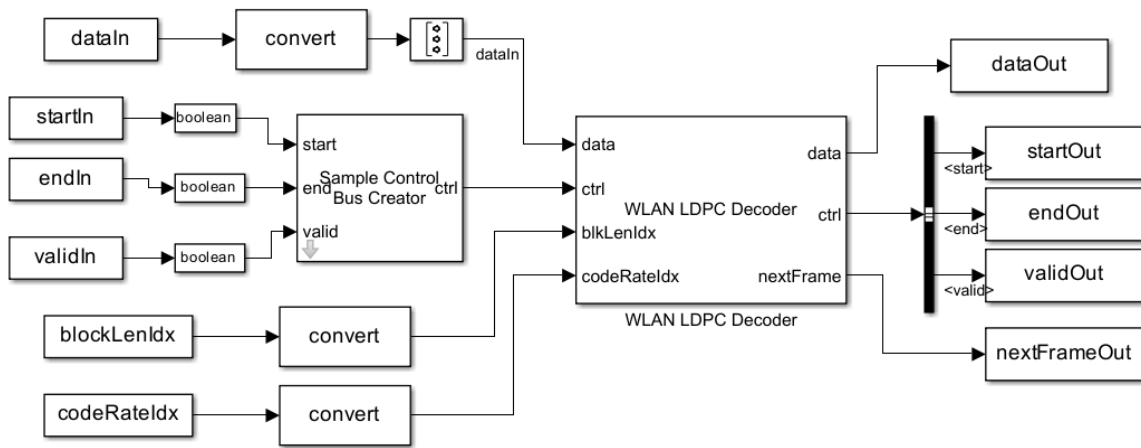


Рис. 9. Simulink-модель LDPC декодера

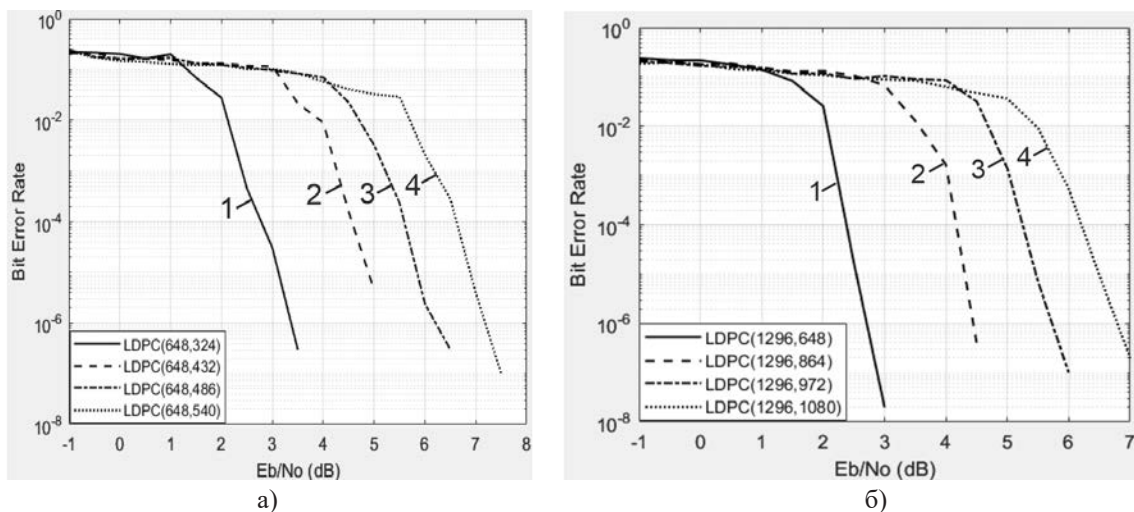
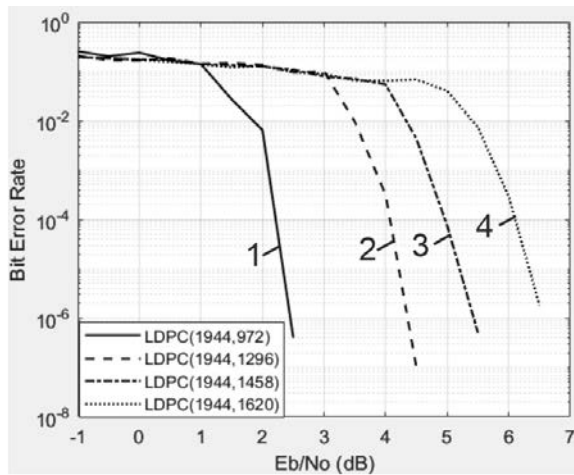
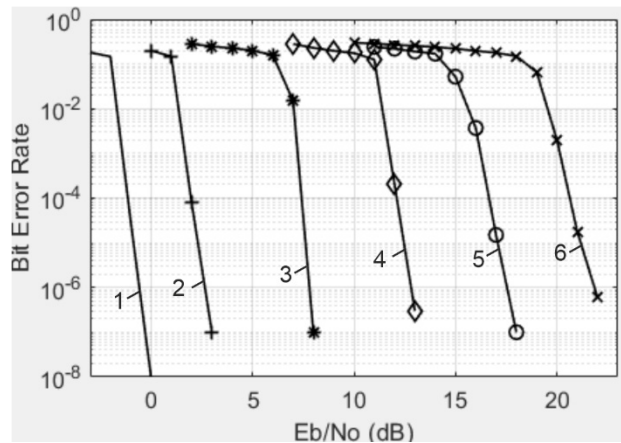


Рис. 10. Залежність коефіцієнту бітових помилок від відношення сигнал-шум для системи зв'язку з модуляцією ФМ-4 і кодуванням LDPC за алгоритмом НМС з кодовою швидкістю: 1 – 1/2; 2 – 2/3; 3 – 3/4; 4 – 5/6; довжина блоку: а – 648; б – 1296



а)



б)

Рис. 11. Залежність коефіцієнту бітових помилок від відношення сигнал-шум для системи зв'язку: а – з модуляцією ФМ-4 і кодуванням LDPC за алгоритмом НМС з кодовою швидкістю: 1 – 1/2; 2 – 2/3; 3 – 3/4; 4 – 5/6; довжина блоку: а – 648; б – 1296; б – модуляцією: 1 – ФМ-2; 2 – ФМ-4; 3 – 16КАМ; 4 – 64КАМ; 5 – 256КАМ; 6 – 1024КАМ; довжина блоку 1944, кодова швидкість 1/2

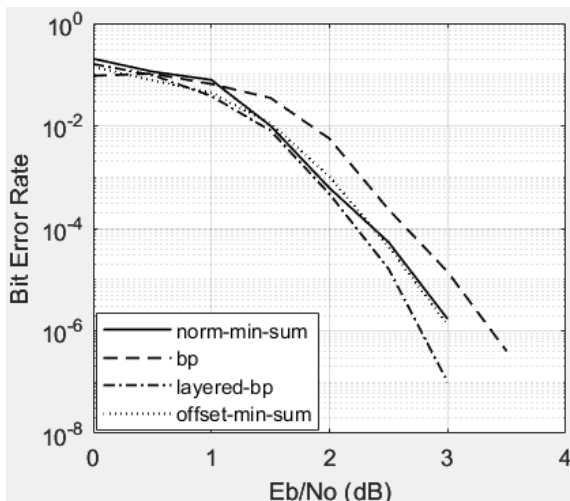
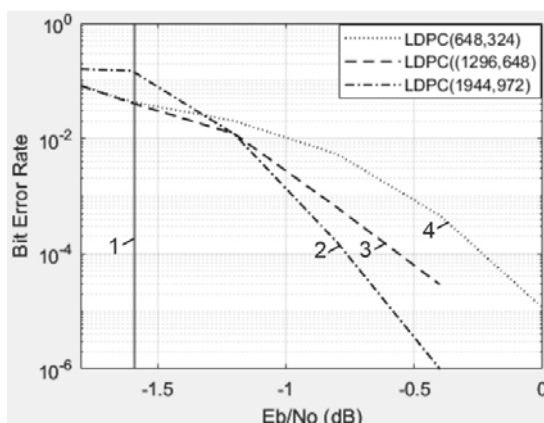


Рис. 12. Залежність коефіцієнту бітових помилок від відношення сигнал-шум системи зв'язку з кодуванням LDPC(648, 324), алгоритм НМС, довжина блоку 648, кодова швидкість 1/2

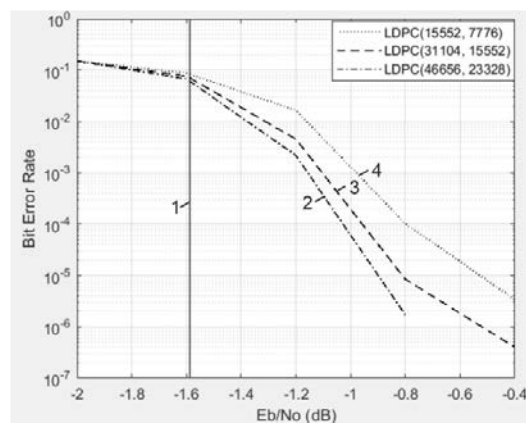
Менший інтервал між піднесучими забезпечує більшу надійність каналу зв'язку. Стандарт Wi-Fi 6 може використовувати модуляцію 1024КАМ, що підвищує швидкість передачі інформації.

На рис. 12 представлено результати оцінки продуктивності різних алгоритмів декодування LDPC-кодів. Порівнювались алгоритми декодування: НМС – «Norm-Min-Sum», «Offset-Min-Sum», «Layered-BP», «BP». З отриманих результатів можна зробити висновок, що алгоритм «Layered-BP» – багаторівневий алгоритм поширення довіри має найвищу завадостійкість, але його апаратна реалізація дуже складна. Тому для реалізації був обраний алгоритм НМС, який на 0,5 дБ має гіршу завадостійкість для BER = 1e-7, але займає менше ресурсів FPGA.

Проведемо дослідження близькості коду LDPC до межі Шеннона (рис. 13).



а)



б)

Рис. 13. Залежність коефіцієнту бітових помилок від відношення сигнал-шум системи зв'язку з кодуванням LDPC, алгоритм НМС, кодова швидкість 1/2: а – 1 – межа Шеннона; довжини блоків: 2 – 1944; 3 – 1296; 3 – 648; б – 1 – межа Шеннона; довжини блоків: 2 – 46656; 3 – 31104; 3 – 15552

Для цього розглянемо коди, довжини яких затверджені стандартом IEEE 802.11 ax (Wi-Fi 6) і аналогічні коди, довжини яких збільшені у 24 рази. Була використана модуляція ФМ-2 та код LDPC швидкістю 0,5 різної довжини. Вертикальною лінією проведена межа Шеннона на рівні -1,59 дБ.

З отриманих залежностей можна зробити висновок, що код LDPC для стандарту Wi-Fi 6, LDPC(1944,972) – з найбільшою довжиною блока даних, наближається до межі Шеннона на 1,2 дБ. При збільшенні довжини блока у 24 рази (код LDPC (46656,23328)), це наближення складає 0,8 дБ, але потребує значного збільшення ресурсів апаратного забезпечення FPGA.

**Висновки.** У представленій роботі наведено результати дослідження системи зв'язку за стандартом Wi-Fi 6. Приведено дослідження декодера

LDPC-коду з використанням алгоритму НМС. Представлено дослідження LDPC-декодера для стандарту Wi-Fi 6 в середовищі Simulink. Співвідношення BER і відношення сигнал-шум можна додатково покращити за рахунок збільшення розміру коду та збереження принципу паралелізму.

Сучасний стандарт Wi-Fi 6 використовує технологію просторового кодування (MIMO – Multiple Input Multiple Output) і Multi-User MIMO, вводиться режим OFDMA для покращення спектральної ефективності, а також застосовується модуляція 1024QAM для чотирикратного збільшення пропускної спроможності, що потребує збільшення відношення сигнал-шум на 5 дБ. Підтримуються наступні кодові швидкості LDPC: 1/2, 2/3, 3/4, 5/6; підтримуються наступні довжини блоків LDPC коду: 648, 1296 та 1944 біта.

### Список літератури:

1. Бойко Ю. М. *Теоретичні аспекти підвищення завадостійкості й ефективності обробки сигналів в радіотехнічних пристроях та засобах телекомунікаційних систем за наявності завад*: монографія / Ю. М. Бойко, В. А. Дружинін, С. В. Толюпа. Київ, 2018. 227 с. <https://elar.khmn.edu.ua/handle/123456789/6291>.
2. Bae J., Abotabl A., Lin H., Song K., Lee J. An overview of channel coding for 5G NR cellular communications. *APSIPA Transactions on Signal and Information Processing*. 2019. Vol. 8. Pp. E17. <https://doi.org/10.1017/ATSIP.2019.10>.
3. Gao Y., Yao Y-F., Ma H. On the stopping distance of LDPC codes based on symplectic space over finite fields. *Applied Mathematics and Computation*. 2021. Vol. 391, Pp. 125625. <https://doi.org/10.1016/j.amc.2020.125625>.
4. Fang Y., Bi G., Guan Y. L., Lau F. C. M. A Survey on Protograph LDPC Codes and Their Applications. *IEEE Commun. Surveys & Tutorials*. 2015. Vol. 17. №. 4. Pp. 1989-2016. <https://doi.org/10.1109/COMST.2015.2436705>.
5. Panem C., Gad V. R., Gad R. S. Sensor's data transmission with BPSK using LDPC (Min-Sum) error corrections over MIMO channel: Analysis over RMSE and BER. *Materials Today: Proceedings*. 2020. Vol. 27. Pp. 571-575. <https://doi.org/10.1016/j.matpr.2019.12.039>.
6. Boiko J., Pyatin I., Druzhynin V. Possibilities of the MUSIC Algorithm for WI-FI Positioning According to the IEEE 802.11az Standard. *2023 IEEE International Conference on Information and Telecommunication Technologies and Radio Electronics (UkrMiCo): Proceedings 2023 IEEE International Conference on Information and Telecommunication Technologies and Radio Electronics (Kyiv, 13-18 Nov. 2023)*. Ukraine, 2023, Pp. 1-6. <https://doi.org/10.1109/UkrMiCo61577.2023.10380354>.
7. Wang S-T., Wu J.-L. C., Hsu C.-Y., Ni W.-C. Software downloading in reconfigurable networks of open wireless architecture using SDR technology. *IEEE Communications Magazine*. 2006. Vol. 44, №. 4. Pp. 128–134. <https://doi.org/10.1109/MCOM.2006.1710424>.
8. Boiko J., Pyatin I., Eromenko O. Design and evaluation of the efficiency of channel coding LDPC codes for 5G information technology. *Indonesian Journal of Electrical Engineering and Informatics (IJEI)*. 2021. Vol. 9. №. 4. Pp. 867-879. <https://doi.org/10.52549/ijeie.v9i4.3188>.
9. Wang B., Zhu Y., Kang J. Two Effective Scheduling Schemes for Layered Belief Propagation of 5G LDPC Codes. *IEEE Communications Letters*. 2020. Vol. 24. №. 8. Pp. 1683-1686. <https://doi.org/10.1109/LCOMM.2020.2991473>.
10. Бойко, Ю., Семенко, А., П'ятін, І. Особливості формування кодової надлишковості у каналах передачі інформації. *Інфокомунікаційні та комп'ютерні технології*. 2023. Т 2. №4, С. 12-25. <https://doi.org/10.36994/2788-5518-2022-02-04-01>.
11. Boudaoud A., El Haroussi M., Abdelmounim E. VHDL Design and FPGA Implementation of LDPC Decoder for High Data Rate. *International Journal of Advanced Computer Science and Applications (IJACSA)*. 2017. Vol. 8. Iss. 4, P.257-261. <https://doi.org/10.14569/IJACSA.2017.080435>.
12. Pyatin, I., Boiko, J., Eromenko, O., Parkhomey, I. Implementation and analysis of 5G network identification operations at low signal-to-noise ratio. *TELKOMNIKA (Telecommunication Computing Electronics and Control)*. 2023. Vol. 21. № 3. P. 496-505. <https://doi.org/10.12928/TELKOMNIKA.v21i3.22893>.
13. Kongara G., He C., Yang L., Armstrong J. A Comparison of CP-OFDM, PCC-OFDM and UFMC for 5G Uplink Communications. 2019. *IEEE Access*. Vol. 7. P. 157574-157594. <https://doi.org/10.1109/ACCESS.2019.2949792>.

**Boiko J.M., Pyatin I.S. DETERMINING THE PERFORMANCE OF LDPC CODES USING HDL IN COMMUNICATION SYSTEMS WI-FI 6 TECHNOLOGY**

*The deployment of Wi-Fi-enabled wireless networks is a major trend of the present and future. The main requirements for networks are related to increasing reliability, energy efficiency and increasing the speed of information flows. The article focuses on a study evaluating the capabilities of the Wi-Fi 6 standard. This standard uses new methods for generating signal-code construction (SCC) and codes with low-density parity check codes (LDPC), which allows increasing the speed and noise immunity of information transmission. The relevance of the work lies in the study of LDPC codes and their implementation in the hardware description language (HDL). LDPC are forward error correction codes that are close to the theoretical limit. The work is devoted to the study of the dependence of the bit error rate on the signal-to-noise ratio for a communication system with digital quadrature modulation and LDPC coding, and the construction of an LDPC decoder using the normalized minimum sum algorithm on HDL. A model of a digital communication system receiver with LDPC and Simulink codes is considered – a model for studying the efficiency of signal processing in baseband processors of the transmitter and receiver. LDPC codes are popular because they have very good performance and allow for simple hardware implementations. The principles of their encoding and decoding are considered. The normalized min-sum algorithm is to first update the data nodes, then check the nodes at each iteration, and finally make hard decoding decisions that describe the most likely codewords. The operation of obtaining the minimum for each check node is reduced to calculating the values of the first and second minimum. In the hardware implementation, two minimum values are calculated using a tree of two minimum comparators. At the decoder input, the values of the logarithmic likelihood ratio (LLR), obtained at the output of the amplitude quadrature modulation (QAM) symbol demodulator, are formed; control signals are generated that determine the beginning and end of the frame, as well as a logical signal confirming the correctness of the entered data; vectors of the block length index and code rate index are formed.*

**Key words:** LDPC codes, HDL, modulation, Wi-Fi, encoding.